

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10223852 A**

(43) Date of publication of application: **21.08.98**

(51) Int. Cl

H01L 27/108
H01L 21/8242
H01L 27/04
H01L 21/822
H01L 27/10
H01L 21/8247
H01L 29/788
H01L 29/792

(21) Application number: **09020577**

(22) Date of filing: **03.02.97**

(71) Applicant: **MATSUSHITA ELECTRON CORP**

(72) Inventor: **SOSHIRO YUUJI**

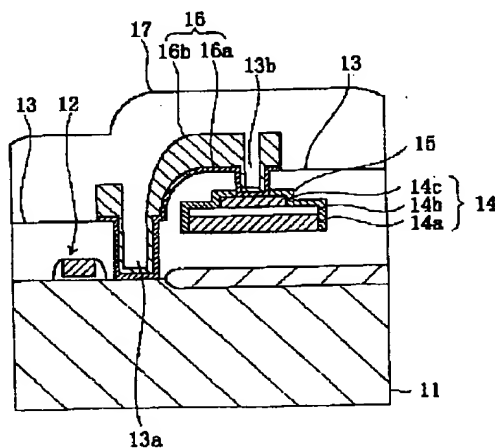
(54) **FERROELECTRIC MEMORY DEVICE AND
MANUFACTURE THEREOF**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent hydrogen from penetrating into a capacitor in a ferroelectric memory device.

SOLUTION: A ferroelectric capacitor 14 composed of a lower electrode 14a of metal thin film, a capacitor insulating film 14b of ferroelectric thin film, and an upper electrode of metal thin film is formed on a semiconductor substrate 11. The upside and side face of the ferroelectric capacitor 14 are covered direct with a Ti oxide film 15. A first connection hole 13a which exposes the upside of the semiconductor substrate 11 located between a transistor 12 and the ferroelectric capacitor 14 and a second connection hole 13b which makes the upside of the upper electrode 14e exposed are provided to an interlayer insulating film 13, the semiconductor substrate 1 and the upper electrode 14c are electrically connected together, and a multilayered wiring layer 16 composed of a first wiring layer 16a of Ti nitride and a second wiring layer 16b formed of metal thin film is provided.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-223852

(43) 公開日 平成10年(1998) 8月21日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 5 1

21/8242

4 5 1

27/04

27/04

C

21/822

29/78

3 7 1

27/10

4 5 1

審査請求 未請求 請求項の数 3 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平9-20577

(22) 出願日 平成9年(1997) 2月3日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 十代 勇治

大阪府高槻市幸町1番1号 松下電子工業

株式会社内

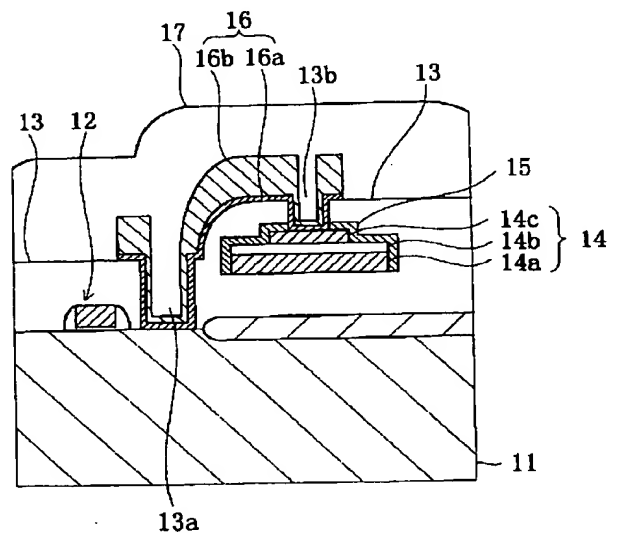
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 強誘電体メモリ装置及びその製造方法

(57) 【要約】

【課題】 強誘電体メモリ装置におけるキャパシタ部に水素が侵入しないようにする。

【解決手段】 半導体基板11の上には、金属薄膜よりなる下部電極14aと強誘電体薄膜よりなる容量絶縁膜14bと金属薄膜よりなる上部電極14cとを有する強誘電体キャパシタ14が形成されている。強誘電体キャパシタ14の上面及び側面はTi酸化膜15で直接覆われている。層間絶縁膜13には、半導体基板11の上面におけるトランジスタ12と強誘電体キャパシタ14との間に位置する導体基板11の上面を露出させる第1の接続孔13aと、上部電極14cの上面を露出させる第2の接続孔13bとが形成されると共に、半導体基板11と上部電極14cとを電気的に接続し、Ti窒化膜よりなる第1の配線層16aと金属薄膜よりなる第2の配線層16bとからなる多重配線層16が形成されている。



【特許請求の範囲】

【請求項 1】 基板上に形成されており、下部電極と、該下部電極の上の強誘電体よりなる容量絶縁膜と、該容量絶縁膜の上の上部電極とを有する強誘電体キャパシタを備え、前記強誘電体キャパシタの上面及び側面は、Ti 酸化膜又はTi 窒化膜により直接覆われていることを特徴とする強誘電体メモリ装置。

【請求項 2】 基板上に、下部電極と、該下部電極の上の強誘電体よりなる容量絶縁膜と、該容量絶縁膜の上の上部電極とを有する強誘電体キャパシタを形成する工程と、

前記基板の上に全面にわたってTi よりなる金属膜を堆積する工程と、

前記基板に対して酸素雰囲気中で熱処理を行なって前記金属膜を酸化させることによりTi 酸化膜を形成する工程と、

前記強誘電体キャパシタをマスクするレジストパターンを形成し、該レジストパターンを用いて前記Ti 酸化膜に対してエッチングを行なうことにより、該Ti 酸化膜よりなり前記強誘電体キャパシタの上面及び側面に該強誘電体キャパシタを保護するキャパシタ保護膜を形成する工程と、

前記基板の上に全面にわたって層間絶縁膜を堆積した後、該層間絶縁膜及び前記キャパシタ保護膜に対して一連のエッチングを行なって前記層間絶縁膜に前記上部電極の上面を露出させる接続孔を形成する工程と、

前記層間絶縁膜の上における所定領域並びに前記上部電極の上面における前記接続孔の露出部及び前記接続孔の壁面にTi 窒化膜を最下層とする多重配線層を形成する工程とを備えていることを特徴とする強誘電体メモリ装置の製造方法。

【請求項 3】 基板上に、下層の導電膜、強誘電体よりなる絶縁膜及び上層の導電膜を順次堆積する工程と、前記上層の導電膜に対して選択的にエッチングを行なって上部電極を形成する工程と、

前記基板の上に全面にわたってTi 窒化膜を堆積した後、該Ti 窒化膜よりなりキャパシタ形成領域に該キャパシタ形成領域を保護するキャパシタ上面保護膜を形成する工程と、

前記キャパシタ上面保護膜をマスクとして前記下層の導電膜及び絶縁膜に対してエッチングを行なって、前記下層の導電膜よりなる下部電極と、前記絶縁膜よりなる容量絶縁膜と、前記上部電極とを有する強誘電体キャパシタを形成する工程と、

前記基板の上に全面にわたってTi よりなる金属膜を堆積する工程と、

前記基板に対して酸素雰囲気中で熱処理を行なって前記金属膜を酸化させることによりTi 酸化膜を形成する工程と、

前記Ti 酸化膜に対してエッチバックを行なって、該Ti 酸化膜よりなり前記強誘電体キャパシタの側面に該強誘電体キャパシタの側面を保護するキャパシタ側面保護膜を形成する工程と、

前記基板の上に全面にわたって層間絶縁膜を堆積した後、該層間絶縁膜及び前記キャパシタ上面保護膜に対して一連のエッチングを行なって前記層間絶縁膜に前記上部電極の上面を露出させる接続孔を形成する工程と、前記層間絶縁膜の上における所定領域並びに前記上部電極の上面における前記接続孔の露出部及び前記接続孔の壁面にTi 窒化膜を最下層とする多重配線層を形成する工程とを備えていることを特徴とする強誘電体メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体キャパシタを有する強誘電体メモリ装置及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体デバイスにおいて、キャパシタ絶縁膜として従来のシリコン酸化膜やシリコン窒化膜に代わり、強誘電体薄膜を用いたデバイスの応用が注目されてきている。強誘電体の特徴である高誘電率やヒステリシス特性による残留分極を利用して、大容量コンデンサや不揮発性機能を有するメモリ等が実現される。

【0003】これらの強誘電体は、一般にペロブスカイト構造と呼ばれ、格子位置に酸素を含む結晶構造を有する金属酸化物の一種である。

【0004】以下、従来の強誘電体メモリを図面に基づいて説明する。

【0005】図4は従来の強誘電体メモリの構成断面図である。図4に示すように、シリコンよりなる半導体基板101の上にはトランジスタ102が形成されており、半導体基板101の上に堆積された層間絶縁膜103内には、導電性薄膜よりなる下部電極104aと強誘電体薄膜よりなる容量絶縁膜104bと導電性薄膜よりなる上部電極104cとを有する強誘電体キャパシタ104が形成されている。層間絶縁膜103には、トランジスタ102と強誘電体キャパシタ104との間に位置する半導体基板101の上面を露出させる第1の接続孔105と、上部電極104cの上面を露出させる第2の接続孔106とが形成されると共に、第1の接続孔105と第2の接続孔106とを介して半導体基板101と上部電極104cとを電気的に接続する導電膜よりなる配線層107が形成されている。層間絶縁膜103及び配線層107の上には全面にわたって表面保護膜108が形成されている。

【0006】強誘電体メモリ装置の製造時においては、配線層107を形成した後、トランジスタ102のしきい値電圧を安定化させるために、酸素雰囲気中で熱処理が

行なわれ、その後、表面保護膜 108 として通常は Si 窒化膜等が堆積される。

【0007】

【発明が解決しようとする課題】しかしながら、前記従来の強誘電体メモリ装置は、熱処理工程における酸素雰囲気又は保護膜形成工程におけるガスに含まれる酸素がキャパシタ部に拡散し、強誘電体薄膜を還元する。その結果、強誘電体薄膜の結晶組成が崩れるため、本来の特性を有しなくなるという問題を生じる。

【0008】本発明は、強誘電体メモリ装置におけるキャパシタ部に酸素が侵入しないようにすることを目的とする。

【0009】

【課題を解決するための手段】請求項 1 の発明が講じた解決手段は、強誘電体メモリ装置を、基板上に形成されており、下部電極と、該下部電極の上の強誘電体よりなる容量絶縁膜と、該容量絶縁膜の上の上部電極とを有する強誘電体キャパシタを備え、前記強誘電体キャパシタの上面及び側面は、Ti 酸化膜又は Ti 窒化膜により直接覆われている構成とするものである。

【0010】請求項 1 の構成により、強誘電体キャパシタの上面及び側面は、酸素を通さない膜である Ti の酸化膜又は窒化膜で直接覆われているため、酸素雰囲気での熱処理や成膜時に、容量絶縁膜である強誘電体薄膜中に酸素が侵入しない。

【0011】請求項 2 の発明が講じた解決手段は、強誘電体メモリ装置の製造方法を、基板上に、下部電極と、該下部電極の上の強誘電体よりなる容量絶縁膜と、該容量絶縁膜の上の上部電極とを有する強誘電体キャパシタを形成する工程と、前記基板の上に全面にわたって Ti よりなる金属膜を堆積する工程と、前記基板に対して酸素雰囲気中で熱処理を行なって前記金属膜を酸化させることにより Ti 酸化膜を形成する工程と、前記強誘電体キャパシタをマスクするレジストパターンを形成し、該レジストパターンを用いて前記 Ti 酸化膜に対してエッチングを行なうことにより、該 Ti 酸化膜よりなり前記強誘電体キャパシタの上面及び側面に該強誘電体キャパシタを保護するキャパシタ保護膜を形成する工程と、前記基板の上に全面にわたって層間絶縁膜を堆積した後、該層間絶縁膜及び前記 Ti 酸化膜に対して一連のエッチングを行なって前記層間絶縁膜に前記上部電極の上面を露出させる接続孔を形成する工程と、前記層間絶縁膜の上における所定領域並びに前記上部電極の上面における前記接続孔の露出部及び前記接続孔の壁面に Ti 窒化膜を最下層とする多重配線層を形成する工程とを備えている構成とするものである。

【0012】請求項 2 の構成により、強誘電体キャパシタの上面及び側面に該強誘電体キャパシタを保護する Ti 酸化膜よりなるキャパシタ保護膜を形成する工程と、上部電極の上面における接続孔の露出部及び該接続孔の

壁面に Ti 窒化膜を最下層とする多重配線層を形成する工程とを備えているため、強誘電体キャパシタの上面及び側面を酸素を通さない膜である Ti の酸化膜又は窒化膜によって直接覆うので、酸素雰囲気での熱処理や成膜時に、容量絶縁膜となる強誘電体薄膜中に酸素が侵入しない。

【0013】請求項 3 の発明が講じた解決手段は、強誘電体メモリ装置の製造方法を、基板上に、下層の導電膜、強誘電体よりなる絶縁膜及び上層の導電膜を順次堆積する工程と、前記上層の導電膜に対して選択的にエッチングを行なって上部電極を形成する工程と、前記基板の上に全面にわたって Ti 窒化膜を堆積した後、該 Ti 窒化膜よりなりキャパシタ形成領域に該キャパシタ形成領域を保護するキャパシタ上面保護膜を形成する工程と、前記キャパシタ上面保護膜をマスクとして前記下層の導電膜及び絶縁膜に対してエッチングを行なって、前記下層の導電膜よりなる下部電極と、前記絶縁膜よりなる容量絶縁膜と、前記上部電極とを有する強誘電体キャパシタを形成する工程と、前記基板の上に全面にわたって Ti よりなる金属膜を堆積する工程と、前記基板に対して酸素雰囲気中で熱処理を行なって前記金属膜を酸化させることにより Ti 酸化膜を形成する工程と、前記 Ti 酸化膜に対してエッチバックを行なって、該 Ti 酸化膜よりなり前記強誘電体キャパシタの側面に該強誘電体キャパシタの側面を保護するキャパシタ側面保護膜を形成する工程と、前記基板の上に全面にわたって層間絶縁膜を堆積した後、該層間絶縁膜及び前記 Ti 窒化膜に対して一連のエッチングを行なって前記層間絶縁膜に前記上部電極の上面を露出させる接続孔を形成する工程と、前記層間絶縁膜の上における所定領域並びに前記上部電極の上面における前記接続孔の露出部及び前記接続孔の壁面に Ti 窒化膜を最下層とする多重配線層を形成する工程とを備えている構成とするものである。

【0014】請求項 3 の構成により、強誘電体キャパシタの上面に Ti 窒化膜よりなるキャパシタ上面保護膜を形成する工程と、強誘電体キャパシタの側面に Ti 酸化膜を形成する工程と、上部電極の上面における接続孔の露出部及び該接続孔の壁面に Ti 窒化膜を最下層とする多重配線層を形成する工程とを備えているため、強誘電体キャパシタの上面及び側面を酸素を通さない膜である Ti の酸化膜又は窒化膜によって直接覆うので、酸素雰囲気での熱処理や成膜時に、容量絶縁膜となる強誘電体薄膜中に酸素が侵入しない。

【0015】

【発明の実施の形態】本発明の第 1 の実施形態を図面を参照しながら説明する。

【0016】図 1 は本発明の第 1 の実施形態に係る強誘電体メモリ装置の構成断面図である。図 1 に示すように、シリコンよりなる半導体基板 11 の上には、キャパシタ部へのアクセスのスイッチ素子となる MOSFET

等のトランジスタ12が形成されており、半導体基板11の上に形成された層間絶縁膜13内には、導電性薄膜よりなる下部電極14aと強誘電体薄膜よりなる容量絶縁膜14bと導電性薄膜よりなる上部電極14cとを有する強誘電体キャパシタ14が形成されている。強誘電体キャパシタ14の上面及び側面はTi酸化膜よりなるキャパシタ保護膜15により直接覆われている。層間絶縁膜13には、半導体基板11の上面におけるトランジスタ12と強誘電体キャパシタ14との間に位置する半導体基板11の上面を露出させる第1の接続孔13aと、上部電極14cの上面を露出させる第2の接続孔13bとが形成されると共に、第1の接続孔13aと第2の接続孔13bとを介して半導体基板11と上部電極14cとを電氣的に接続し、Ti窒化膜よりなる第1の配線層16aと該第1の配線層の上の金属薄膜よりなる第2の配線層16bとからなる多重配線層16が形成されている。層間絶縁膜13及び配線層16の上には全面にわたって表面保護膜17が形成されている。

【0017】強誘電体メモリ装置はその製造工程において、多重配線層16を形成した後、トランジスタ12のしきい値電圧を安定化させるために、水素雰囲気中で400℃程度の熱処理を行なう必要がある。

【0018】本実施形態によると、強誘電体キャパシタ14の上部電極14cにおける第2の接続孔17を除く上面及び強誘電体キャパシタ14の側面がTi酸化膜よりなり水素を通さないキャパシタ保護膜15により直接覆われ、且つ、上部電極14cの上面の一部が露出する第2の接続孔13bが水素を通さないTi窒化膜よりなる第1の配線層16aにより直接覆われていることにより、容量絶縁膜14bに対する水素による還元作用を防止できるため、キャパシタ部の電氣的特性を劣化させることがない。

【0019】以下、本発明の第1の実施形態に係る強誘電体メモリ装置の製造方法を図面を参照しながら説明する。

【0020】図2は第1の実施形態に係る強誘電体メモリ装置の製造方法を示す工程順断面図である。まず、図2(a)に示すように、シリコンよりなる半導体基板11の上面の所定領域にMOSFET等のトランジスタ12を形成した後、半導体基板11の上に全面にわたって第1の層間絶縁膜13Aを堆積する。その後、第1の層間絶縁膜13Aの上面の所定領域に、金属薄膜よりなる下部電極14cと強誘電体よりなる容量絶縁膜14bと金属薄膜よりなる上部電極14cとが順次積層されてなる強誘電体キャパシタ14を形成する。

【0021】次に、図2(b)に示すように、スパッタ法を用いて半導体基板11の上に全面にわたってTi(チタン)を100nmの厚さに堆積した後、温度が450℃の酸素雰囲気中で半導体基板11に対して60分間の熱処理を行なうと、該Tiよりなる金属薄膜を酸化さ

せることによりTi酸化膜15Aを形成する。

【0022】次に、図2(c)に示すように、フォトリソグラフィを用いて強誘電体キャパシタ14をマスクするレジストパターンを形成し、該レジストパターンをマスクとしてTi酸化膜15Aに対してドライエッチングを行なうと、強誘電体キャパシタ14の上面及び側面にのみTi酸化膜15Aを残存させることによりキャパシタ保護膜15Bを形成する。その後、強誘電体キャパシタ14の上に第2の層間絶縁膜13Bを堆積した後、トランジスタ12と強誘電体キャパシタ14との間の第1の層間絶縁膜13Aに対してエッチングを行なうと半導体基板11の上面を露出する第1の接続孔13aを形成すると共に、第2の層間絶縁膜13B及びキャパシタ保護膜15Bに対して連続してエッチングを行なうと強誘電体キャパシタ14の上部電極14cの上面の一部を露出する第2の接続孔13bを形成する。

【0023】次に、図2(d)に示すように、スパッタ法を用いて、第1の層間絶縁膜13A及び第2の層間絶縁膜13Bの上面、半導体基板11の上面における第1の接続孔13aの露出部及び第1の接続孔13aの壁面並びに強誘電体キャパシタ14の上部電極14cの上面における第2の接続孔13bの露出部及び第2の接続孔13bの壁面に、厚さが150nmのTi窒化膜と、該Ti窒化膜の上に厚さが600nmのAl(アルミニウム)よりなる金属薄膜を堆積する。その後、該Ti窒化膜及び該金属薄膜に対して所定領域のみを残すエッチングを行なうと、Ti窒化膜から第1の配線層16aと、Alよりなる金属薄膜から第2の配線層16bとをそれぞれ形成し、第1の配線層16aと第2の配線層16bとからなる多重配線層16を得る。

【0024】その後、通常の半導体メモリ装置の製造方法と同様に、トランジスタ12のしきい値電圧を安定させるために、半導体基板11に対して温度が400℃の水素雰囲気中で30分間の熱処理を行なう。この熱処理の際に、強誘電体キャパシタ14は、その上面及び側面が水素を通さないTi酸化膜よりなるキャパシタ保護膜15Bによって覆われ、且つ、上部電極14cの上面における第2の接続孔13bの露出部が多重配線層16の最下層の水素を通さないTi窒化膜よりなる第1の配線層16aにより覆われているため、水素が強誘電体キャパシタ14に拡散することがない。

【0025】その後、プラズマCVD法を用いて半導体基板11の上に全面にわたって厚さが800nmのシリコン窒化膜よりなる表面保護膜17を堆積して強誘電体メモリ装置が完成する。このプラズマCVD工程の際にも、SiH₄ガス等の水素雰囲気中にさらされるが、前記の熱処理と同様にTi酸化膜及びTi窒化膜による水素遮蔽効果によって強誘電体キャパシタ14に水素が拡散することはない。

【0026】なお、Ti又はTi窒化膜の成膜法をスパ

ッタ法を用いて行なったが、CVD法等の他の成膜方法を用いて堆積しても同様の効果を得られることはいうまでもない。

【0027】このように、本実施形態によると、水素雰囲気での工程において、強誘電体キャパシタ14の容量絶縁膜となる強誘電体酸化物に該酸化物の結晶組成を破壊する水素が拡散しないため、強誘電体膜本来の特性が損なわれないので、所望の電気的特性を有する強誘電体メモリ装置を確実に得ることができる。その結果、高信頼性を有する強誘電体メモリ装置が確実に得られるので、高歩留まりを実現することができる。

【0028】以下、本発明の第2の実施形態に係る強誘電体メモリ装置の製造方法を図面を参照しながら説明する。

【0029】図3は第2の実施形態に係る強誘電体メモリ装置の製造方法を示す工程順断面図である。まず、図3(a)に示すように、シリコンよりなる半導体基板21の上面の所定領域にMOSFET等のトランジスタ22を形成した後、半導体基板21の上に全面にわたって第1の層間絶縁膜23Aを堆積する。その後、第1の層間絶縁膜23Aの上面に、下層の金属薄膜と強誘電体よりなる絶縁膜と上層の金属薄膜とを順次堆積した後、上層の金属薄膜に対して選択的にエッチングを行なって上部電極24cを形成する。その後、スパッタ法を用いて、上部電極24c及び絶縁膜の上面に全面にわたってTi窒化膜を堆積した後、該Ti窒化膜に対して選択的にエッチングを行なってキャパシタ形成領域を保護するキャパシタ上面保護膜25を形成する。次に、該キャパシタ上面保護膜25をマスクとして絶縁膜及び下層の金属薄膜に対してエッチングを行なうことにより、下層の金属薄膜よりなる下部電極24aと強誘電体よりなる容量絶縁膜24bと上層の金属薄膜よりなる上部電極24cとを有する強誘電体キャパシタ24を形成する。ここで、マスクに用いたTi窒化膜よりなるキャパシタ上面保護膜25を除去せずに残しておく。

【0030】次に、図3(b)に示すように、スパッタ法を用いて半導体基板21の上に全面にわたってTiよりなる金属薄膜を100nmの厚さに堆積した後、温度が450℃の酸素雰囲気中で半導体基板21に対して60分間の熱処理を行なって、該Tiよりなる金属薄膜を酸化させることによりTi酸化膜26Aを形成する。その後、Ti酸化膜26Aの全面に対して異方性ドライエッチングによるエッチバックを行なって、強誘電体キャパシタ24の側面にのみTi酸化膜26Aを残存させることにより、強誘電体キャパシタ24の側面に密着して強誘電体キャパシタ24の側面を保護するキャパシタ側面保護膜26Bを形成する。

【0031】次に、図3(c)に示すように、強誘電体キャパシタ24の上に第2の層間絶縁膜23Bを堆積した後、トランジスタ22と強誘電体キャパシタ24との

間の第1の層間絶縁膜23Aに対してエッチングを行なって、該第1の層間絶縁膜23Aに半導体基板21の上面を露出させる第1の接続孔23aを形成すると共に、第2の層間絶縁膜23B及びキャパシタ上面保護膜25に対して連続してエッチングを行なって、該第2の層間絶縁膜23Bに強誘電体キャパシタ24の上部電極24cの上面の一部を露出させる第2の接続孔23bを形成する。

【0032】次に、図3(d)に示すように、スパッタ法を用いて、第1の層間絶縁膜23A及び第2の層間絶縁膜23Bの上面、半導体基板21の上面における第1の接続孔23aの露出部及び第1の接続孔23aの壁面並びに強誘電体キャパシタ24の上部電極24cの上面における第2の接続孔23bの露出部及び第2の接続孔23bの壁面に、厚さが150nmのTi窒化膜と、該Ti窒化膜の上に厚さが600nmのAlよりなる金属薄膜を堆積する。その後、該Ti窒化膜及び該金属薄膜に対して所定領域のみを残すエッチングを行なって、Ti窒化膜から第1の配線層27aと、Alよりなる金属薄膜から第2の配線層27bとをそれぞれ形成し、第1の配線層27aと第2の配線層27bとからなる多重配線層27を得る。

【0033】その後、通常の半導体メモリ装置の製造方法と同様に、トランジスタ22のしきい値電圧を安定させるために、半導体基板21に対して温度が400℃の水素雰囲気中で30分間の熱処理を行なう。この熱処理の際に、強誘電体キャパシタ24は、その上面が水素を通さないTi窒化膜よりなるキャパシタ上面保護膜25によって直接覆われると共にその側面が水素を通さないTi酸化膜よりなるキャパシタ側面保護膜26Bによって覆われ、且つ、上部電極24cの上面における第2の接続孔23bの露出部が多重配線層27の最下層の水素を通さないTi窒化膜よりなる第1の配線層27aにより覆われているため、水素が強誘電体キャパシタ24に拡散することがない。

【0034】その後、プラズマCVD法を用いて半導体基板21の上に全面にわたって厚さが800nmのシリコン窒化膜よりなる表面保護膜28を堆積して強誘電体メモリ装置が完成する。このプラズマCVD工程の際にも、SiH₄ガス等の水素雰囲気中にさらされることになるが、前記の熱処理と同様にTi酸化膜及びTi窒化膜による水素遮蔽効果によって強誘電体キャパシタ24に水素が拡散することはない。

【0035】なお、Ti又はTi窒化膜の成膜法をスパッタ法を用いて行なったが、CVD法等の他の成膜方法を用いて堆積しても同様の効果を得られることはいうまでもない。

【0036】このように、本実施形態によると、水素雰囲気での工程において、強誘電体キャパシタ24の容量絶縁膜となる強誘電体酸化物に該酸化物の結晶組成を破

壊する水素が拡散しないため、強誘電体膜本来の特性が損なわれないので、所望の電気的特性を有する強誘電体メモリ装置を確実に得ることができる。その結果、高信頼性を有する強誘電体メモリ装置が確実に得られるので、高歩留まりを実現することができる。

【0037】

【発明の効果】請求項1の強誘電体メモリ装置によると、水素雰囲気での熱処理や成膜時に、容量絶縁膜である強誘電体薄膜中に水素が侵入しないため、酸化物である強誘電体薄膜の結晶組成が水素による還元によって破壊されないで、所望の電気的特性を有する強誘電体キャパシタが得られる。

【0038】請求項2又は3の強誘電体メモリ装置の製造方法によると、強誘電体キャパシタの上面及び側面を水素を通さない膜であるTiの酸化膜又は窒化膜によって直接覆うので、水素雰囲気での熱処理や成膜時に、容量絶縁膜となる強誘電体薄膜中に水素が侵入しない。従って、酸化物である強誘電体薄膜の結晶組成が水素による還元によって破壊されないで、所望の電気的特性を有する強誘電体キャパシタを確実に得ることができるので、信頼性が高い強誘電体メモリ装置を実現することができる。

【図面の簡単な説明】

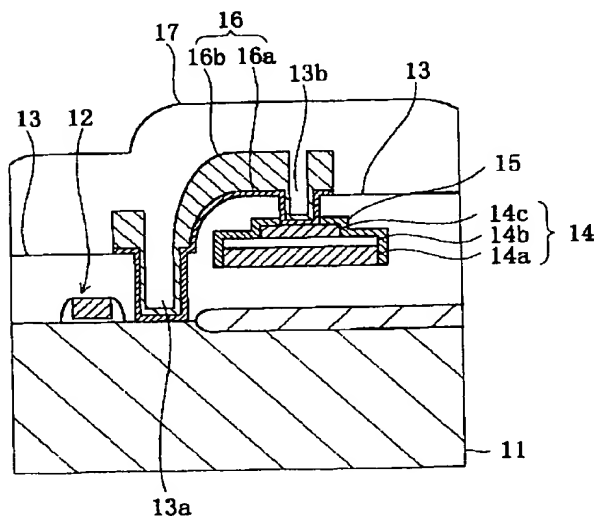
【図1】本発明の第1の実施形態に係る強誘電体メモリ装置の構成断面図である。

【図2】本発明の第1の実施形態に係る強誘電体メモリ装置の製造方法を示す工程順断面図である。

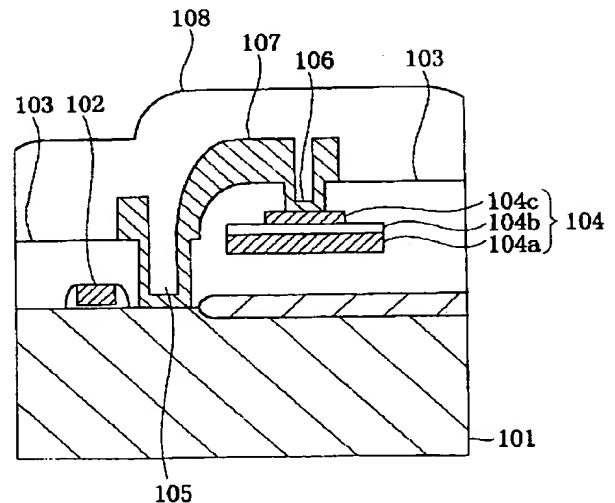
【図3】本発明の第2の実施形態に係る強誘電体メモリ装置の製造方法を示す工程順断面図である。

【図4】従来の強誘電体メモリ装置の構成断面図である。

【図1】



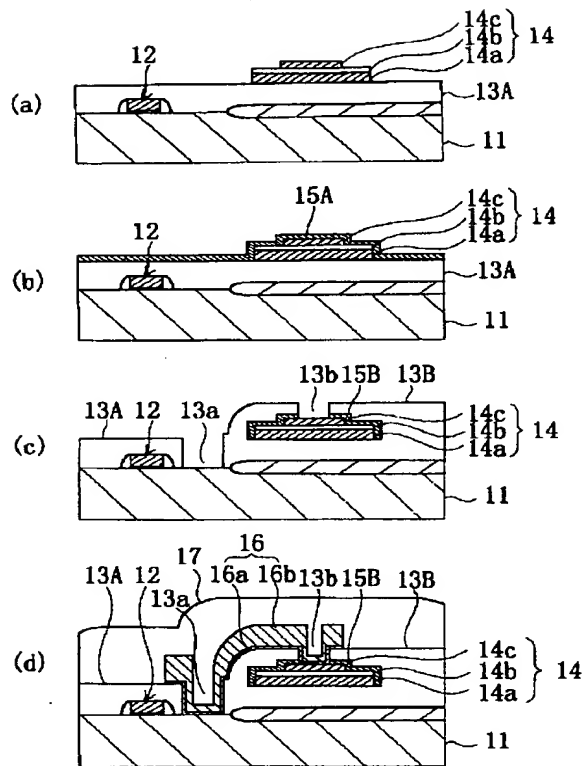
【図4】



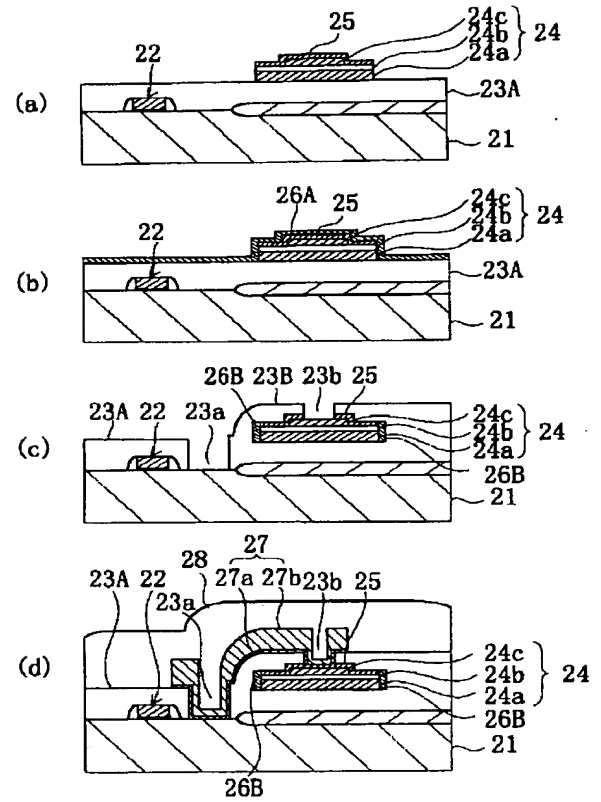
【符号の説明】

- 11 半導体基板
- 12 トランジスタ
- 13 層間絶縁膜
- 13A 第1の層間絶縁膜
- 13B 第2の層間絶縁膜
- 14 強誘電体キャパシタ
- 14a 下部電極
- 14b 容量絶縁膜
- 14c 上部電極
- 15 キャパシタ保護膜
- 15A Ti酸化膜
- 15B キャパシタ保護膜
- 16 多重配線層
- 16a 第1の配線層
- 16b 第2の配線層
- 17 表面保護膜
- 21 半導体基板
- 22 トランジスタ
- 23A 第1の層間絶縁膜
- 23B 第2の層間絶縁膜
- 24a 下部電極
- 24b 容量絶縁膜
- 24c 上部電極
- 25 キャパシタ上面保護膜
- 26A Ti酸化膜
- 26B キャパシタ側面保護膜
- 27 多重配線層
- 27a 第1の配線層
- 27b 第2の配線層
- 28 表面保護膜

【図2】



【図3】



フロントページの続き

(51) Int. Cl.⁶

識別記号

F I

H O 1 L 21/8247

29/788

29/792